

高性能、准谐振式升压型恒压功率因数校正控制器

产品描述

AS2561 是一款高性能、准谐振式(QR)升压型(Boost)恒压功率因数校正(PFC)控制器。芯片可自适应地工作在临界导通模式(CRM)和断续导通模式(DCM)。满载时芯片工作在 CRM；负载降低时芯片工作在 DCM，工作频率降低以提高系统效率。芯片通过优化 CRM/DCM 控制算法和输入线电压前馈补偿，能轻松实现高功率因数(PF)和低输入谐波(THD)的性能，即使芯片工作在 DCM。

AS2561 内置高压启动和供电电路，无须外部供电即可实现快速启动和供电功能。此外，无需辅助绕组的消磁检测技术简化了系统设计同时降低了生产成本。

AS2561 集成有完备的保护功能，包括：VDD 欠压保护功能(UVLO)、VDD 过压保护(VDD OVP)、输入欠压保护(BOP)、输出欠压保护(UVP)、输出过压保护(OVP)、逐周期电流限制(OCP)、异常过流保护(AOCP)、过热保护(OTP)以及管脚开短路保护。

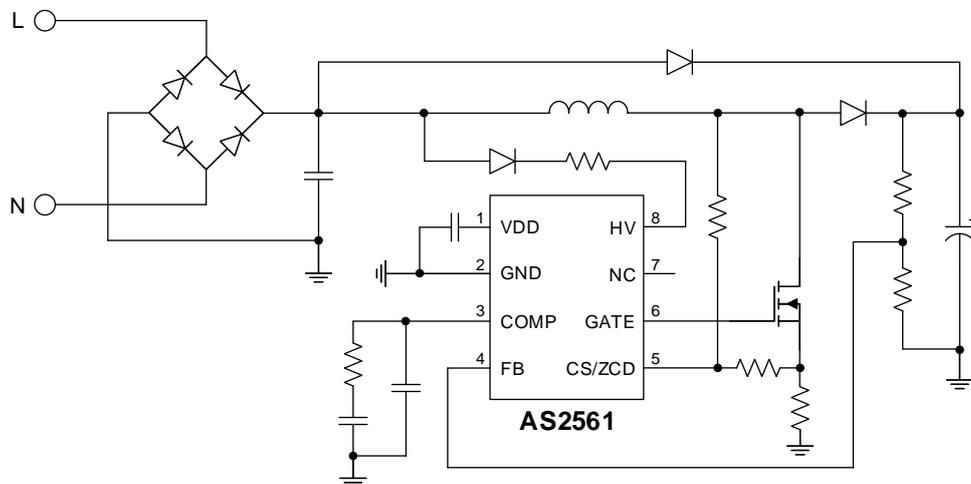
特点

- 功率因数>0.95, THD<8%
- 待机功耗 <75mW
- 内置 700V 高压供电电路，启动时间<200ms
- 轻载效率优化和待机损耗优化
- 轻载 THD 优化
- 动态性能优化
- 支持单绕组电感
- 内置±2% (@Tj = 25°C)恒压参考电压
- 内部保护功能：
 - VDD 过压/欠压保护(VDD OVP/UVLO)
 - 输入欠压保护(BOP)
 - 输出欠压保护(UVP)
 - 输出过压保护(OVP)
 - 逐周期电流限制(OCP)
 - 异常过流保护(AOCP)
 - 过热保护(OTP)
 - 管脚开短路保护
- 封装类型 SOP-8

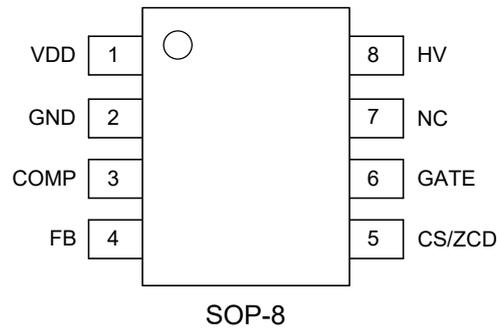
应用

- 大功率 LED 驱动器

典型应用电路



管脚封装



管脚功能描述

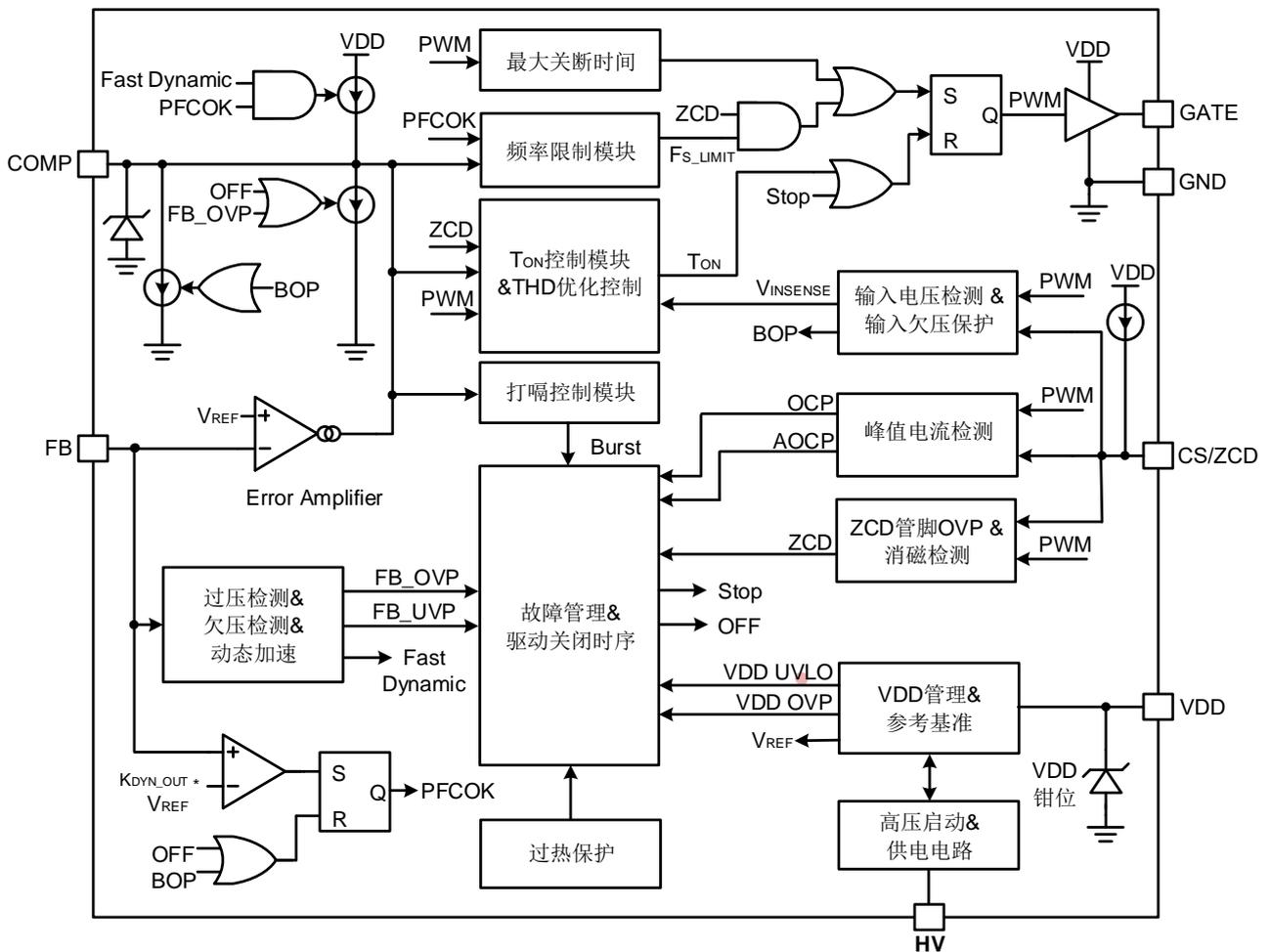
管脚	名称	类型 ⁽¹⁾	描述
1	VDD	P	VDD 供电管脚，同时是内置高压供电电路的输出端，为芯片工作提供供电
2	GND	P	芯片参考地
3	COMP	I	跨导误差放大器输出，外接合适的补偿网络，该管脚电压决定驱动信号的脉宽及系统工作模式
4	FB	I	输出电压反馈管脚
5	CS/ZCD	I	过流保护检测和消磁检测管脚
6	GATE	O	驱动电路输出管脚，连接外部 MOSFET
7	NC	-	无连接，在实际应用中悬空
8	HV	P	高压启动和高压供电管脚

(1) P - 功率；I - 输入；O - 输出；I/O - 输入/输出

订购信息

型号	封装	最小包装	丝印
AS2561	SOP-8	4000PCS	AS2561

功能框图



极限参数⁽¹⁾

参数	数值	单位
HV 电压	-0.3 to 700	V
VDD 供电电压	-0.3 to 30	V
FB, CS/ZCD, COMP 电压	-0.3 to 7	V
GATE 电压	-0.3 to 20	V
θ_{JC} , 封装热阻---结到器件塑料顶部的热阻 (SOP-8) ⁽²⁾	30	°C/W
θ_{JA} , 封装热阻---结到环境 (SOP-8) ⁽³⁾	90	°C/W
P_{Dmax} , 耗散功率 @ $T_A = 50^\circ\text{C}$ (SOP-8) ⁽⁴⁾	1.1	W
最高芯片工作结温	150	°C
储藏温度范围	-65 to 150	°C
焊接温度 (10 s)	260	°C
ESD 人体模型---HBM (不含 HV 管脚) ⁽⁵⁾	± 5	kV
ESD 人体模型---HBM (HV 管脚) ⁽⁵⁾	± 2	kV
ESD 充电器件模型---CDM ⁽⁶⁾	± 2	kV

(1) 超出列表中极限参数可能会对芯片造成永久性损坏。极限参数仅用作标识应力等级，在超出推荐工作条件的情况下芯片可能无法正常工作。过度暴露在超出推荐工作条件下，可能会影响芯片的可靠性。

(2) 测试使用四层板，遵循的标准 JEDEC51-14 一维传热路径双界面分离法。

(3) 测试使用四层板，遵循的标准 JEDEC51-2 集成电路自然对流热测试环境要求及测试方法。

(4) 最大耗散功率 $P_{Dmax} = (T_{Jmax} - T_A) / \theta_{JA}$ ，环境温度升高时最大耗散功率会随之降低。

(5) JEDEC 文件 JEP155 指出，500-V HBM 满足使用标准 ESD 控制流程的安全制造要求。

(6) JEDEC 文件 JEP157 指出，250-V CDM 满足使用标准 ESD 控制流程的安全制造要求。

推荐工作条件

参数	数值	单位
VDD 供电电压	12 to 20	V
芯片工作结温	-40 to 125	°C

电气参数

(TA = 25°C , VDD = 12V, 除非另有说明)

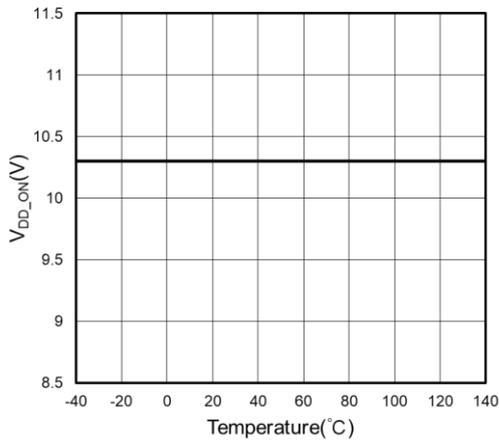
符号	参数	测试条件	最小	典型	最大	单位
高压启动和供电部分 (HV 管脚)						
I _{HV1}	高压启动电流 1	HV = 600V, VDD = 0V		0.5		mA
I _{HV2}	高压供电电流 2	HV > 100V, V _{DD_OFF} + 1 > VDD > 2V		5		mA
I _{HV3}	高压供电电流 3	HV < 100V, 14V > VDD > 2V		25		mA
I _{HV_LKG}	高压漏电流	HV = 700V, VDD = 17V		25		μA
V _{HV_IHV3}	I _{HV3} 供电开启 HV 电压阈值			100		V
V _{DD_IHV3}	I _{HV3} 供电开启的 VDD 电压阈值			14		V
V _{DD_IHV2}	I _{HV2} 供电开启的 VDD 电压阈值		V _{DD_OFF} + 1			V
供电部分 (VDD 管脚)						
I _{VDD_START}	VDD 启动电流	FB = 1V, VDD = 9V		400		μA
I _{VDD_OP}	VDD 工作电流	FB = 1V, VDD = 15V		340		μA
I _{VDD_STANDBY}	VDD 静态电流	FB = 0V		20		μA
V _{DD_ON}	VDD 开启电压			10.2		V
V _{DD_OFF}	VDD 关断电压			7.8		V
V _{DD_OVP}	VDD OVP 阈值			25		V
反馈部分 (FB 管脚)						
V _{FB_CLAMP}	FB 管脚钳位电压	上拉 1mA		6.0		V
V _{REF}	FB 参考电压			2.5		V
V _{FB_UVP_OUT}	FB_UVP 退出阈值			0.5		V
V _{FB_UVP_IN}	FB_UVP 进入阈值			0.3		V
K _{DYN_IN}	动态加速触发阈值 (相对于 V _{REF})			94		%
K _{DYN_OUT}	动态加速退出阈值 (相对于 V _{REF})			95		%
K _{OVP_IN}	FB_OVP 触发阈值 (相对于 V _{REF})			109		%
K _{OVP_OUT}	FB_OVP 退出阈值 (相对于 V _{REF})			107		%

过流保护，消磁检测及输入欠压保护部分 (CS/ZCD 管脚)						
V _{CS_CLAMP}	CS/ZCD 管脚钳位电压	上拉 1mA		6.0		V
T _{LEB_OCP}	OCP 前沿消隐			400		ns
T _{LEB_AOCP}	AOCP 前沿消隐			250		ns
V _{CS_OCP}	OCP 阈值			0.5		V
V _{CS_AOCP}	AOCP 阈值			0.75		V
T _{D_OC}	过流保护关断延时	GATE = 1nF		70		ns
T _{AOCP}	AOCP 触发后 PWM 消隐时间			1		ms
T _{ZCD_LEB}	ZCD 前沿消隐			500		ns
V _{ZCD_OVP_HYS}	ZCD_OVP 退出迟滞			100		mV
T _{ZCD_OVP_LEB}	ZCD_OVP 检测 LEB			1		μs
T _{ZCD_OVP}	ZCD_OVP 触发后 PWM 消隐时间			1		ms
V _{BOP_IN}	BOP 触发阈值			580		mV
V _{BOP_OUT}	BOP 退出阈值			740		mV
T _{BOP_DELAY}	BOP 触发延迟			50		ms
内部跨导部分 (COMP 管脚)						
G _{EA}	EA 跨导			100		μS
I _{EA}	EA 输出 sink/source 电流限值			±20		μA
I _{EA_DYN}	触发动态加速, COMP 管脚上拉电流			200		μA
I _{EA_SINK1}	触发 OFF/OVP 时, COMP 管脚下拉电流			35		μA
I _{EA_SINK2}	触发 BOP 时, COMP 管脚下拉电流			80		μA
V _{COMP_MAX}	COMP 管脚电压上钳位	VDD = 17V, CS = 1V, FB = 2V		5.0		V
V _{COMP_MIN}	COMP 管脚电压下钳位	VDD = 17V, CS = 1V, FB = 3V		0.85		V
V _{BURST_IN}	打嗝进入阈值			1.1		V
V _{BURST_HYS}	打嗝退出迟滞			30		mV

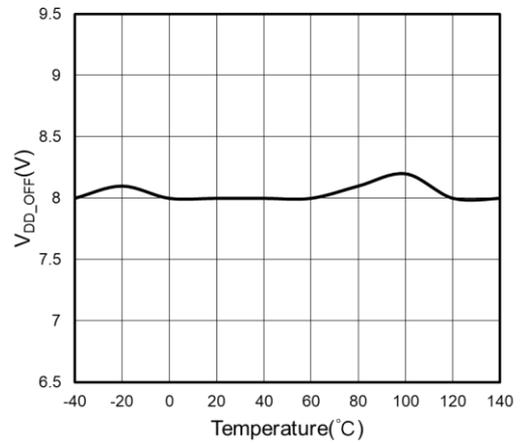
驱动部分 (GATE 管脚)						
V_{G_CLAMP}	输出高钳位电压	$V_{DD} = 24V$		12		V
T_R	输出上升时间	$GATE = 1nF$		60		ns
T_F	输出下降时间	$GATE = 1nF$		30		ns
I_{SOURCE}	上拉电流 ⁽¹⁾			800		mA
I_{SINK}	下拉电流 ⁽¹⁾			900		mA
时序部分						
T_{OFF_MAX}	无消磁信号, 最大驱动关闭时间			140		μs
T_{ON_MAX}	驱动最大脉宽限制			16		μs
F_{S_MAX}	最高工作频率			250		kHz
F_{S_BURST}	打嗝最低频率			25		kHz
过热保护部分						
T_{SD}	内置过热关断阈值 ⁽¹⁾			150		$^{\circ}C$
T_{RC}	内置过热恢复阈值 ⁽¹⁾			120		$^{\circ}C$

(1) 参数取决于设计, 批量生产制造时通过功能性测试。

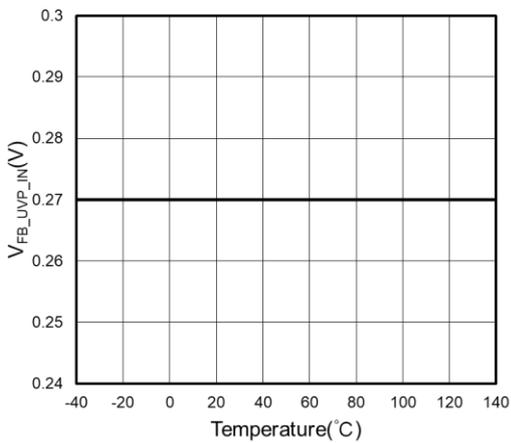
参数特性曲线



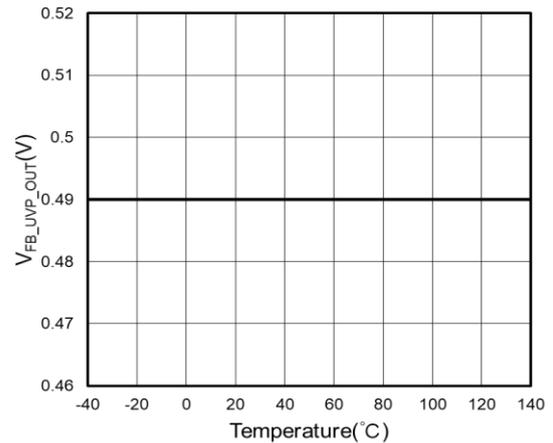
V_{DD_ON} vs Temperature



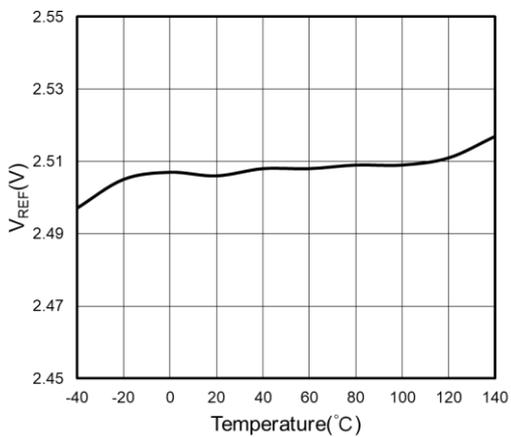
V_{DD_OFF} vs Temperature



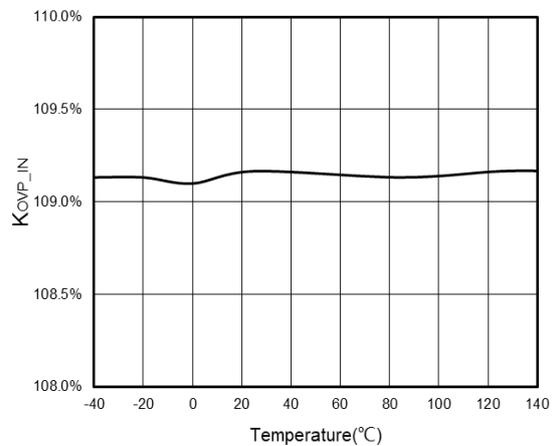
V_{FB_UVP_IN} vs Temperature



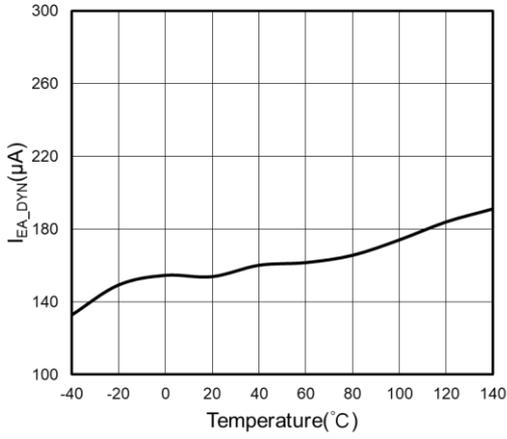
V_{FB_UVP_OUT} vs Temperature



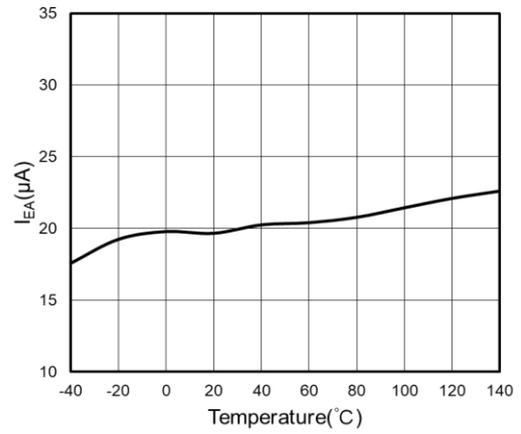
V_{REF} vs Temperature



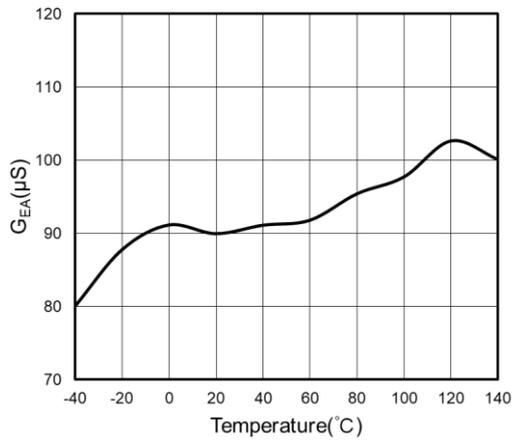
K_{OVP_IN} vs Temperature



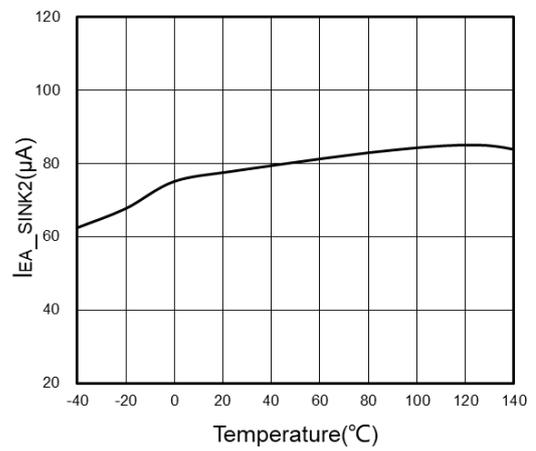
I_{EA_DYN} vs Temperature



I_{EA} vs Temperature



G_{EA} vs Temperature



I_{EA_SINK2} vs Temperature

功能描述

AS2561 是一款高性能，准谐振式(QR)升压型(Boost)恒压功率因数校正(PFC)控制器。芯片可自适应地工作在临界导通模式(CRM)和断续导通模式(DCM)。满载时芯片工作在 CRM；负载降低时芯片工作在 DCM，工作频率降低以提高系统效率。芯片通过优化 CRM/DCM 控制算法和输入线电压前馈补偿，能轻松实现高功率因数(PF)和低输入谐波(THD)的性能，即使芯片工作在 DCM。此外，芯片通过打嗝(Burst)模式进一步提高轻载效率，并极大地降低系统待机损耗。

高压启动和供电

AS2561 集成了高压启动模块。如图 1 所示，HV 管脚通过高压二极管 D_{HV} 和电阻 R_{HV} 连接于整流桥后的直流母线。HV 管脚可直接向 VDD 电容供电，提供了快速启动时间和低待机功耗的性能，无需辅助绕组供电。电阻 R_{HV} 可提高系统抗 ESD 和雷击浪涌能力，推荐值 $1k\Omega\sim 2k\Omega$ 。

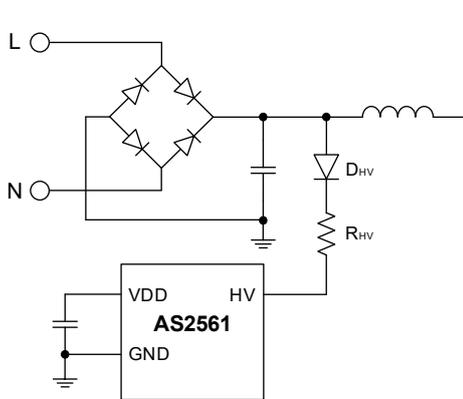


图 1 高压供电

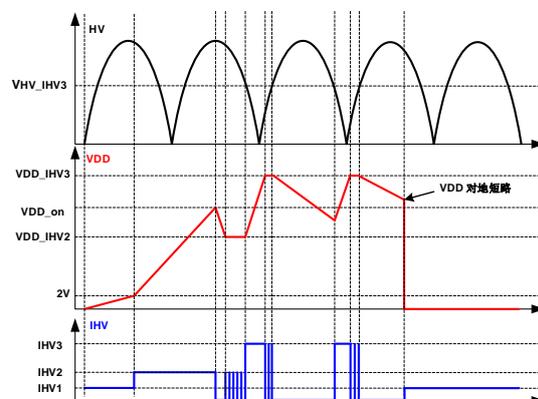


图 2 高压启动时序

如图 2 所示，在启动过程中，HV 管脚的高压电流源对 VDD 电容充电。当 VDD 电压低于 2V 时，高压供电电流为 I_{HV1} (典型值 0.5mA)。当 VDD 电压高于 2V 时，高压供电电流为 I_{HV2} (典型值 5mA)。当 VDD 电压达到 V_{DD_ON} (典型值 10.2V)，启动完成。

在稳态工作中，芯片根据 VDD 管脚电压高低选择性地开启高压供电功能。当 VDD 电压介于 V_{DD_IHV2} (典型值 8.8V)和 V_{DD_IHV3} (典型值 14V)之间，仅在 HV 管脚电压低于 V_{HV_IHV3} (典型值 100V)时芯片开启高压供电，高压供电电流为 I_{HV3} (典型值 25mA)；当 VDD 电压低于 V_{DD_IHV2} ，高压供电保持开启，供电电流为 I_{HV2} 。

断续模式 THD 优化

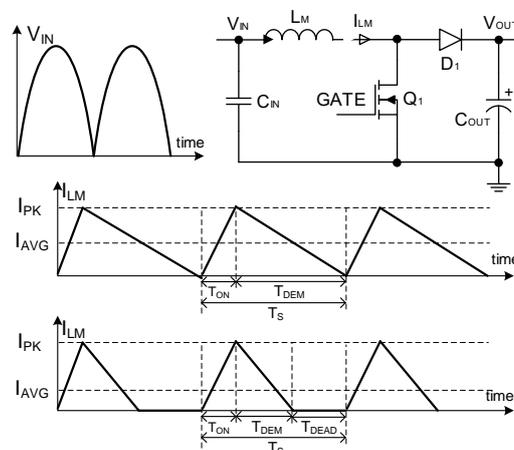


图 3 临界导通模式和断续导通模式

如图 3 所示，当系统工作在 CRM 时，输入电压 V_{IN} ，电感量 L_M ，电感峰值电流 I_{PK} ，电感平均电流 I_{AVG} 和开关导通时间 T_{ON} 满足以下等式：

$$V_{IN} \times T_{ON} = 2 \times L_M \times I_{AVG} \quad (1)$$

保持 T_{ON} 恒定，在整个线电压周期范围内 I_{AVG} 正比于 V_{IN} ，Boost 变换器相当于电阻负载， $PF=1$ 。当系统工作在 DCM 时，芯片通过优化 T_{ON} 的控制策略，仍可以在整个线电压周期范围内保证 I_{AVG} 正比于 V_{IN} ，实现 DCM 模式下 THD 优化的功能。

AS2561 可以在 CRM 和 DCM 之间自适应切换，而不会出现功率因数降低，THD 恶化或功率输出中断的问题。

电流采样和输入电压检测

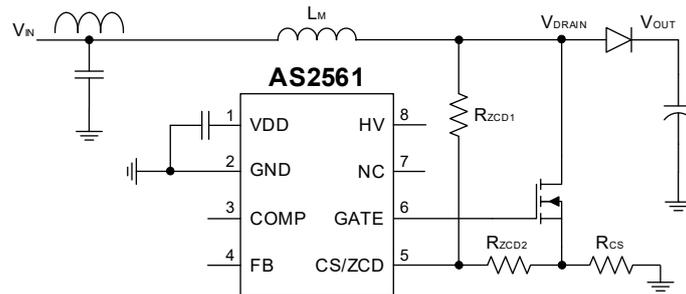


图 4 电流采样和输入电压检测

如图 4 所示，在驱动开通后，CS/ZCD 管脚通过检测连接在功率开关管源极和功率地之间的采样电阻 R_{CS} 上的电压，获得流经功率开关管的电流值，进而实现功率开关管过流保护的功能。

在驱动关闭后，CS/ZCD 管脚通过分压电阻 R_{ZCD1} 和 R_{ZCD2} 检测功率开关管漏极电压 (V_{DRAIN})。电感 L_M 满足伏秒平衡， V_{DRAIN} 的平均电压等于 V_{IN} 电压。AS2561 的 CS/ZCD 管脚检测到的 $V_{INSENSE}$ 为：

$$V_{INSENSE} = V_{IN} \times \frac{R_{ZCD2}}{R_{ZCD1} + R_{ZCD2}} \quad (2)$$

推荐：

$$\frac{R_{ZCD1}}{R_{ZCD2}} = 140 \quad (3)$$

消磁检测和谷底开通

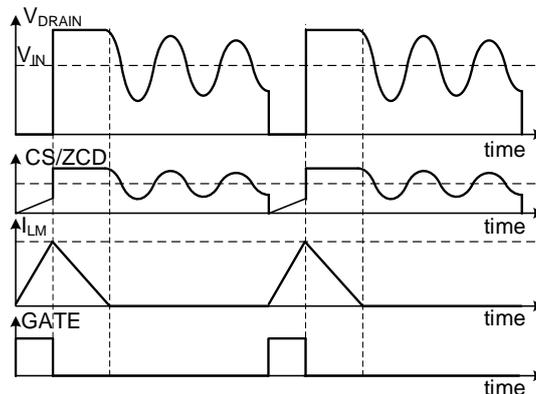


图 5 消磁检测和谷底导通

如图 5 所示，在驱动关闭后，CS/ZCD 管脚通过分压电阻 R_{ZCD1} 和 R_{ZCD2} 检测功率开关管漏极电压 (V_{DRAIN})，在电感 L_M 退磁后，DRAIN 管脚电压开始以 V_{IN} 电压为中心振荡，其频率为电感 L_M 和 DRAIN 管脚的所有寄生电容决定。AS2561 通过检测 DRAIN 振荡电压穿越 V_{IN} 的时刻，实现 ZCD 检测的功能，确保系统不进入连续工作模式 (CCM)。

AS2561 采用准谐振工作模式，在 DRAIN 管脚电压振荡至谷底时再次导通，从而大幅降低系统的开关损耗。

为防止 CS/ZCD 管脚检测不到电感消磁完成的信号而驱动无法开通，芯片内部的看门狗计时器会在驱动关闭后 T_{OFF_MAX} (典型值 $140\mu s$)触发驱动重新开启。

输出电压检测和 FB 反馈

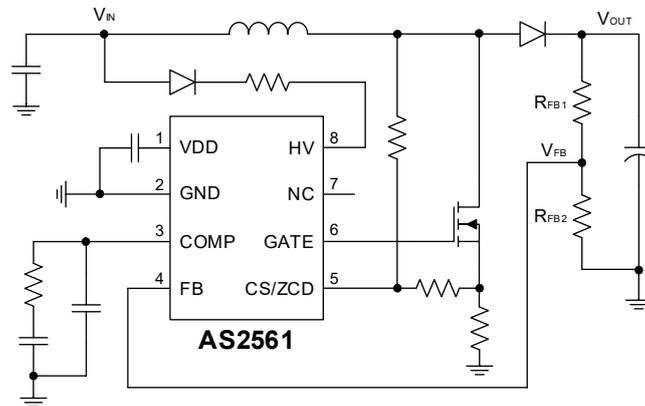


图 6 输出电压检测

如图 6 所示，通过分压电阻 R_{FB1} 和 R_{FB2} 检测输出电压 V_{OUT} 。FB 管脚采样电压 V_{FB} 和内部参考 V_{REF} (典型值 $2.5V$)比较，实现输出电压闭环控制。

跨导放大器和动态加速

电压误差放大器为跨导放大器，电压环路补偿网络从误差放大器输出端 COMP 连接到芯片参考地。推荐使用 II 型补偿网络以保持环路稳定性，如图 7 所示。

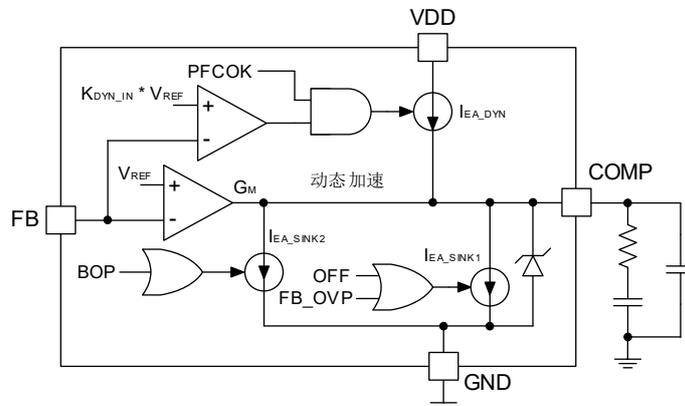


图 7 跨导放大器和动态加速

为了改善系统对大扰动的瞬态响应，当电压误差放大器的输入电压 FB 与参考电压 V_{REF} 之间的偏移量超过给定的范围(典型值 6%)，触发 AS2561 的动态加速功能，COMP 管脚被施加上拉电流 I_{EA_DYN} (典型值 $200\mu A$)，补偿网络快速充电，系统得以从大扰动中恢复。注意，从芯片启动到输出电压完成建立之前，动态加速功能关闭。

当停机逻辑(OFF)被触发，或发生 FB_OVP 时，COMP 管脚被施加下拉电流 I_{EA_SINK} (典型值 $35\mu A$)；当系统发生 BOP 时，COMP 管脚被施加下拉电流 I_{EA_SINK} (典型值 $80\mu A$)，补偿网络放电，如图 7 所示。

COMP 管脚电压决定了芯片的驱动脉宽 T_{ON} 。当 COMP 管脚电压超过阈值 V_{BURST_OUT} (典型值 $1.13V$)时，芯片开始开关动作，当 COMP 管脚电压达到钳位值 V_{COMP_MAX} (典型值 $5V$)，驱动脉宽达到最大值。

最高工作频率限定和降频模式

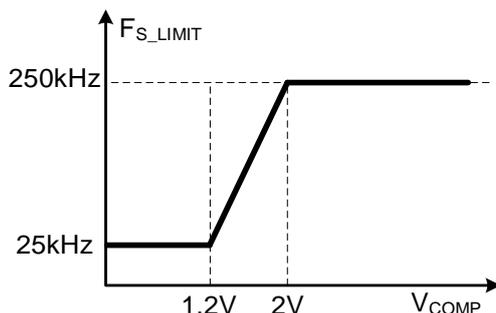


图 8 最高工作频率限定和降频曲线

AS2561 根据 COMP 管脚电压设定最高工作频率，最高工作频率限定曲线如图 8 所示。随着负载功率的下降，COMP 管脚电压随之下降，工作频率得以降低，提高负载功率降低下的系统效率同时实现 EMI 优化。

打嗝模式

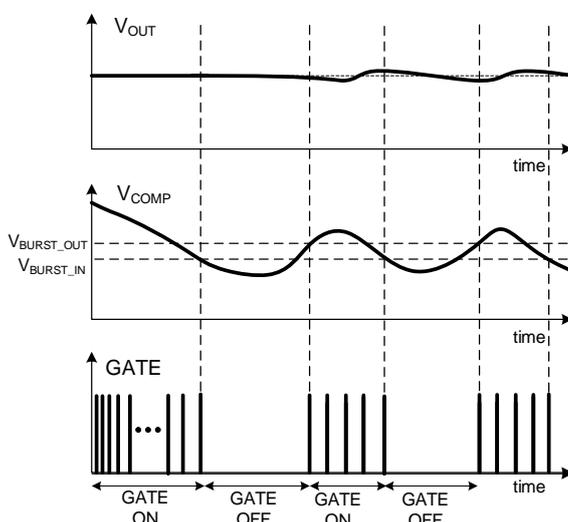


图 9 打嗝工作模式

随着输出负载功率减小，当 COMP 管脚电压低于 V_{BURST_IN} (典型值 1.1V) 时，系统进入打嗝工作模式。如图 9 所示，当 COMP 电压低于阈值 V_{BURST_IN} 时，AS2561 停止开关动作。当 COMP 电压超过阈值 V_{BURST_OUT} (典型值 1.13V) 时，芯片重新开始开关动作。打嗝模式降低了轻载和待机状态下的系统功耗。

前沿消隐(LEB)

由于功率开关管寄生电容，输出二极管反向恢复的问题，功率开关管开通瞬间会在采样电阻上产生电压尖刺。为避免驱动信号被错误关闭，芯片内部集成有前沿消隐功能。在功率开关管导通之后的 T_{LEB_AOC} (典型值 250ns) 时间内，峰值电流比较器不会关闭功率开关管。

输入欠压保护(BOP)

根据公式(2)，芯片通过 CS/ZCD 管脚检测 $V_{INSENSE}$ 电压实现 AC 输入欠压保护功能。当 $V_{INSENSE}$ 电压小于 BOP 触发阈值 V_{BOP_IN} (典型值 580mV) 时，芯片内部的 BOP 延迟计时使能，计时时间为 T_{BOP_DELAY} (典型值 50ms)，计时结束后触发 BOP，COMP 管脚被施加下拉电流 I_{EA_SINK} (典型值 80 μ A)，补偿网络放电，PFCOK 信号复位。如果 $V_{INSENSE}$ 电压超过 BOP 恢复阈值 V_{BOP_OUT} (典型值 740mV)，芯片将重新启动。

过流保护(OCP)

AS2561 集成逐周期过流保护功能，在每个功率开关管开通周期中，当电流达到 OCP 阈值 V_{CS_OCP} (典型值 0.5V) 时，驱动立刻关闭。

异常过流保护(AOCP)

系统异常状态下(如旁路二极管短路)，当功率开关管的峰值电流达到 AOCP 的阈值 V_{CS_AOCP} (典型值 0.75V) 时，触发 AOCP，驱动立刻关闭且故障状态锁存，经过 T_{AOCP} (典型值 1ms) 延迟时间后状态锁存复位，开关动作恢复。

输出过压保护(FB_OVP)

当 FB 管脚采样到的输出电压超过 FB_OVP 触发阈值(典型值 $109\% \cdot V_{REF}$) 时，触发 FB_OVP，芯片停止开关动作。当 FB 管脚采样到的输出电压低于 FB_OVP 退出阈值(典型值 $107\% \cdot V_{REF}$)，芯片退出 FB_OVP，开关动作恢复。

输出欠压保护(FB_UVP)

当 FB 管脚采样到的输出电压低于 FB_UVP 触发阈值 $V_{FB_UVP_IN}$ (典型值 0.3V) 时，触发 FB_UVP，芯片进入 OFF 状态，同时立刻关闭驱动，并进入超低待机功耗模式。系统设计时可通过控制 FB 管脚对地开关，实现对系统 Boost PFC 功能的使能控制。

VDD 过压/欠压保护(VDD OVP/UVLO)

当 VDD 电压达到过压保护阈值 V_{DD_OVP} (典型值 25.0V) 时，芯片进入 OFF 状态，并立刻关闭驱动。VDD 电压低于关断电压 V_{DD_OFF} (典型值 7.8V)，芯片进入 OFF 状态，并立刻关闭驱动。

过热保护(OTP)

当芯片结温超过 T_{SD} (典型值 150°C) 时，触发 OTP，芯片进入 OFF 状态，并立刻关闭驱动。当芯片温度下降至结温低于 T_{RC} (典型值 120°C)，芯片重新启动。

停机状态管理(OFF)

当芯片发生 VDD UVLO, VDD OVP, FB_UVP 和 OTP 中的任一故障，芯片进入停机状态(OFF)，同时立刻关闭驱动，COMP 管脚被施加下拉电流 I_{EA_SINK1} (典型值 35 μ A)，补偿网络放电，且 PFCOK 信号复位。当系统从停机状态恢复时，COMP 管脚电压缓慢上升，而已经复位的 PFCOK 信号将动态加速功能关闭，以实现系统软启动的功能。

管脚开路短路保护

CS/ZCD 管脚对地短路时，根据公式(2)，芯片通过 CS/ZCD 管脚检测 $V_{INSENSE}$ 电压等于 0，触发 BOP。此外，CS/ZCD 管脚具备对地 mA 级别的钳位能力，避免了当下分压电阻断开时 CS/ZCD 管脚损坏的风险。

FB 管脚对地短路时，触发 FB_UVP，芯片进入超低待机功耗模式。FB 管脚开路时，通过芯片内部弱上拉电路，FB 管脚电压钳位在 V_{FB_CLAMP} (典型值 6V)，触发 FB_OVP。此外，该管脚具备对地 mA 级别的钳位能力，当下分压电阻断开时，FB 管脚不会被损坏。

COMP 管脚对地短路时，芯片进入 Burst 模式，停止开关动作。COMP 管脚开路时，管脚电压钳位到 V_{COMP_MAX} (典型值 5V)，限制最大输出功率。

应用指南

注意事项

1. 为兼容 ZCD 检测精度，推荐 ZCD 上分压电阻(如图 4， R_{ZCD1})总阻值为 $1.5M\Omega$ 以内；
2. 全电压范围(90~305Vac)应用中，低压满功率输出工况下，PFC 的 T_{on} 应小于 T_{onmax} (典型值 $16\mu s$)；单高压(198~264Vac)应用中，最低电压满载输出功率工况下，建议 $T_{onmax} < 4.5\mu s$ ，如果 T_{on} 设计值需要 $> 4.5\mu s$ ，建议调大 ZCD 分压比，如 200:1。

PCB 设计指南

PCB 设计对芯片正常工作，以及系统的 THD，EMI，ESD 等性能有显著影响，设计回路和布线时建议参考图 10 的内容。

1. 主功率回路的面积应尽可能小。如桥后滤波电容、电感和功率开关管组成的充电回路 Loop1，以及电感、续流二极管和输出电容组成的放电回路 Loop2。否则开关噪声干扰严重，影响芯片正常工作，恶化 EMI 结果。同时走线应尽可能宽以优化效率。
2. VDD，FB 和 CS/ZCD 管脚滤波电容应紧贴芯片，COMP 管脚补偿网络应紧贴芯片。
3. 芯片地和其他小信号地单点连接到采样电阻地，且连线越短越好。避免芯片地被高频开关噪声干扰，而影响芯片正常工作。
4. 优先进行 FB 管脚采样回路的布线，采样回路 Loop3 的面积应尽可能小，并远离动点(DRAIN)，防止被干扰。若 FB 管脚信号被严重干扰，易触发 FB_OVP 保护，系统无法稳定工作且 THD 变差。
5. CS/ZCD 管脚如果没有电容分压网络，仅有电阻分压网络，应特别注意 CS/ZCD 管脚采样回路 Loop4 的布线，采样环路面积应尽可能小。若 CS/ZCD 管脚信号被严重干扰，易触发 AOCP 或 OCP，同时消磁检测异常，输入电压检测异常，系统无法正常工作。

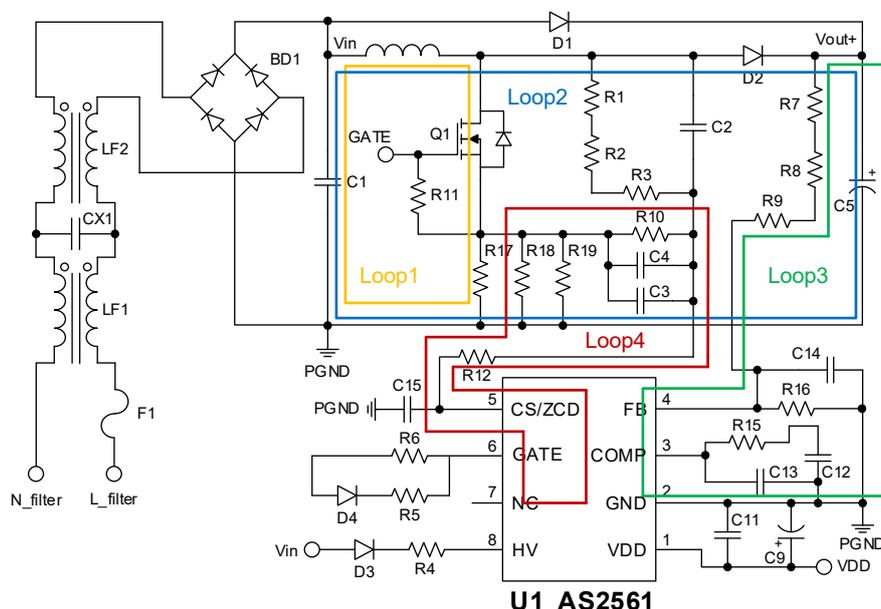
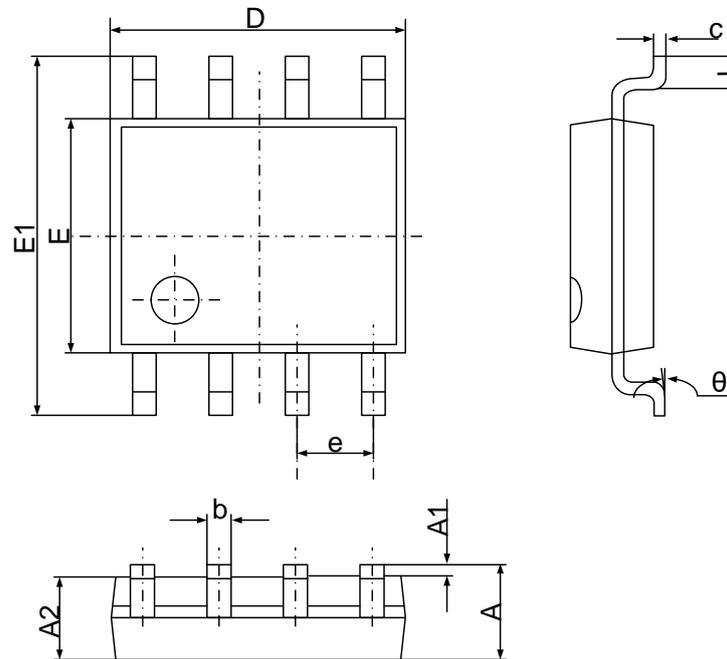


图 10 layout 换流环路

封装信息
SOP-8


符号	尺寸 (毫米)		尺寸 (英寸)	
	最小	最大	最小	最大
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.300	1.500	0.051	0.059
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.201
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 (中心到中心)		0.050 (中心到中心)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°